

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

ANDREAS DICKS

Serial No. 10/086,878

Filed: MARCH 1, 2002

Title: INTEGRATED CIRCUIT

Commissioner for Patent
Washington, D.C. 20231



Docket No.

PHDE 010057

Group Art Unit: 2811

2811
#3

RECEIVED
MAY -8 2002
102800 MAIL ROOM

CLAIM FOR PRIORITY

Sir:

A Certified copy of the German Application No. 10110778.1
filed March 7, 2001 referred to in the Declaration of the above-
identified application is attached herewith.

Applicant claims the benefit of the filing date of said
European application.

Respectfully submitted,

A handwritten signature in black ink, appearing to be "S. Biren".

By
Steven R. Biren, Reg.26,531
Attorney
(914) 333-9630

Enclosure

CERTIFICATE OF MAILING

It is hereby certified that this correspondence is being deposited with the
United States Postal Service as first-class mail in an envelope addressed to:
COMMISSIONER OF PATENTS AND TRADEMARKS
Washington, D.C. 20231

On

4/30/02

By

A handwritten signature in black ink, appearing to be "S. Biren".

BUNDESREPUBLIK DEUTSCHLAND



RECEIVED
MAY - 8 2002
TC 2800 MAIL ROOM

Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 101 10 778.1
Anmeldetag: 07. März 2001
Anmelder/Inhaber: Philips Corporate Intellectual Property GmbH,
Hamburg/DE
Bezeichnung: Integrierter Schaltkreis
IPC: G 06 F 13/38

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 07. Februar 2002
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag

Agurks



BESCHREIBUNG

Integrierter Schaltkreis

Die Erfindung betrifft ein sogenanntes eingebettetes System, bei dem es sich um ein System auf einem integrierten Schaltkreis handelt. Ein solches System weist im allgemeinen
5 einen Prozessor, einen Datenspeicher und ggf. mehrere Funktionsblöcke auf. Ferner ist im allgemeinen wenigstens ein Datenbus-System vorgesehen, über den der Prozessor, der Datenspeicher und die Funktionsblöcke miteinander kommunizieren können bzw. über den Daten ausgetauscht werden können.

Für spezielle Einsatzzwecke kann es ggf. wünschenswert sein, daß wenigstens einer der Funktionsblöcke mit einem anderen Funktionsblock große Datenmengen austauscht. In diesem Fall muß bei Systemen nach dem Stand der Technik bei großen externen Daten-
mengen eine Zwischenspeicherung in dem Speicher stattfinden. In jedem Falle wird infolge des doppelten Datenaustausches über das allgemeine Bus-System des eingebetteten
15 Systems dieses erheblich belastet. Soll beispielsweise von einer Quelle eine große Datenmenge zu einer Senke übertragen werden, so werden die Daten zunächst über den Datenbus über den an dem Bussystem angeschlossenen Speicher in diesem abgelegt. In einem nächsten Schritt werden die Daten aus diesem Speicher zur Senke wiederum über den Datenbus übertragen. Somit wird der Datenbus gleich zweimal belastet.

20

Es ist Aufgabe der Erfindung, einen integrierten Schaltkreis der eingangs genannten Art anzugeben, bei dem eine große Menge von Daten zwischen wenigstens zwei Funktions-
blöcken übertragen werden kann, ohne daß die Datenbusverbindung zwischen Prozessor, Datenspeicher und den übrigen Funktionsblöcken dadurch mehrfach belastet wird.

25

Diese Aufgabe ist erfindungsgemäß durch folgende Merkmale gelöst:

Integrierter Schaltkreis mit einem Prozessor, einem Datenspeicher und Funktionsblöcken, wobei zur Kommunikation zwischen dem Prozessor, dem Datenspeicher und den
30 Funktionsblöcken ein Datenbus vorgesehen ist, wobei für eine Datenübertragung zwischen

wenigstens zwei Funktionsblöcken eine mittels eines Handshaking-Verfahrens auf dem Datenbus stattfindende logische Direktverbindung vorgesehen ist, wobei jeweils ein Funktionsblock als Master und ein Funktionsblock als Slave fungiert, der einen linearen Adressraum aufweist, auf den der als Master fungierende Funktionsblock mittels des

5 Handshaking-Verfahrens zugreifen kann und der in dem als Slave fungierenden Funktionsblock auf einen Puffer-Speicher abgebildet wird.

In diesem eingebetteten System ist erfindungsgemäß eine logische Direktverbindung über den vorhandenen Datenbus vorgesehen, über den die oben erläuterten großen Datenmen-

10 gen unmittelbar zwischen zwei Funktionsblöcken übertragen werden können, ohne in einem Datenspeicher zwischengespeichert werden zu müssen. Diese Direktverbindung wird mittels eines speziellen, nur für diese Verbindung vorgesehenen Handshaking-Verfahrens realisiert und abgewickelt.

15 Erfindungsgemäß ist vorgesehen, daß ein Funktionsblock als Master und ein Funktionsblock als Slave fungiert. Der Slave weist einen linearen Adressraum auf, den der Master unmittelbar über den zweiten Datenbus adressieren kann. Mittels eines einfachen vom Datenbus unterstützten Handshaking-Verfahrens kann somit, gesteuert durch den Master, unmittelbar eine Datenübertragung zwischen Master und Slave stattfinden. Dabei schreibt

20 der Master Daten in den linearen Adressraum oder liest Daten aus diesem aus. In dem als Slave fungierenden Funktionsblock wird der lineare Adressraum auf einen Puffer abgebildet, aus dem dieser Funktionsblock seinerseits die Daten lesen kann oder in den er sie schreiben kann. Dieser Pufferspeicher ist somit sowohl durch den Master über den linearen Adressraum adressierbar, wie auch durch den zweiten Funktionsblock selbst.

25 Der Ablauf des Lesens bzw. Schreibens von Daten durch den Master wird über ein einfaches Handshaking-Verfahren gesteuert, das seitens der Funktionsblöcke keinen besonderen Aufwand erfordert.

30 Gemäß einer Ausgestaltung der Erfindung nach Anspruch 2 handelt es sich bei dem Datenbus um ein Standard-Bussystem, das für On-Chip-Bussysteme standardisiert ist. Bei derartigen Systemen kann es sich beispielsweise um einen PI-Bus oder einen AMBA-Bus

handeln. Hierdurch tritt der Vorteil ein, daß die als Master fungierenden Funktionsblöcke, die meist ohnehin zur Verarbeitung derartiger Bus-Protokolle ausgelegt sind, für die Existenz der erfindungsgemäßen Direktverbindung nicht speziell ausgelegt bzw. modifiziert werden müssen. Vielmehr kann die für diese Funktionsblöcke ohnehin vorgesehene Bussystem-Architektur eingesetzt werden. Bei dieser Ausgestaltung der Erfindung entsteht somit für den Datenbus kein wesentlicher, zusätzlicher Aufwand seitens der Funktionsblöcke, die über die Direktverbindung miteinander kommunizieren bzw. über diese Daten austauschen. Das Bus-Protokoll kann ein Standard-Protokoll des jeweils vorgesehenen Bussystems sein.

10

Nach einer weiteren Ausgestaltung der Erfindung gemäß Anspruch 3 handelt es sich beim in dem als Slave fungierenden Funktionsblock vorgesehenen Puffer um einen sogenannten Ping-Pong-Puffer, der auf den Adressraum zyklisch abgebildet wird. Derartige Ping-Pong-Speicher sind wenigstens zweigeteilt, wobei jeweils ein Teil über den Datenbus über den linearen Adressraum adressierbar ist und ein anderer Teil durch den als Slave fungierenden Funktionsblock adressierbar ist. In dieser Konstellation kann der als Master fungierende Funktionsblock in den ersten Teil des Speichers Daten schreiben oder aus diesem lesen, während der als Slave fungierende Funktionsblock aus dem zweiten Teil des Speichers Daten lesen kann oder in diesen schreiben kann. Sind die beiden Speicherbereiche abgearbeitet, wird die Zuordnung der beiden Teile des Ping-Pong-Puffers umgekehrt, so daß nunmehr der als Master fungierende Funktionsblock auf den zweiten Teil des Speichers und der als Slave fungierende Funktionsblock auf den ersten Teil des Speichers zugreifen kann. Damit entsteht der Vorteil, daß beide Funktionsblöcke gleichzeitig auf den Puffer-Speicher zugreifen können, wenn auch auf jeweils andere Teile desselben, was aber keine wesentliche Einschränkung bedeutet.

25

Weitere Ausgestaltungen der Erfindung gemäß den Ansprüchen 4 und 5 betreffen Ausgestaltungen des Handshaking-Verfahrens, über das der als Master fungierende Funktionsblock und der als Slave fungierende Funktionsblock über die Direktverbindung direkt miteinander kommunizieren. Die vorgesehenen Befehle bzw. Bestätigungs-rückmeldungen werden von dem Bussystem des Datenbusses vorgegeben.

30

Der erfindungsgemäße Aufbau des integrierten Schaltkreises ist insbesondere für solche Funktionsblöcke vorteilhaft einsetzbar, die große Datenmengen liefern oder empfangen. So kann dieser Schaltkreis vorteilhaft, wie gemäß einer weiteren Ausgestaltung nach Anspruch 6 für einen JPEG-Coder/Encoder (CODEC) vorgesehen sein, der große Datenmengen, nämlich beispielsweise ein codiertes Bild, an einen als Slave fungierenden Funktionsblock, nämlich eine Speicher-Schnittstelle zu einem Massenspeicher liefert. Bei dem als Slave fungierenden Funktionsblock handelt es sich hierbei um eine Speicher-Schnittstelle, die einen Speicher oder Ping-Pong-Puffer aufweist. Die Schnittstelle empfängt über den Ping-Pong-Puffer die Daten von dem JPEG-CODEC und liefert diese Datenmengen ihrerseits an ein externes Speichermedium, bei dem es sich beispielsweise um eine Flash-ROM-Speicher-Karte oder eine Festplatte handeln kann.

Nachfolgend wird ein Ausführungsbeispiel der Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

15

Figur 1: ein Blockschaltbild eines erfindungsgemäßen integrierten Schaltkreises,

Figur 2: eine schematische Darstellung des linearen Adressraumes und des Ping-Pong-Puffers in einem als Slave fungierenden Funktionsblock des Systems nach Figur 1,

20

Figur 3: eine schematische Darstellung eines Handshaking-Ablaufs der Direktverbindung zweier Funktionsblöcke des Systems nach Figur 1 und

Figur 4: einen Handshaking-Ablauf gemäß Figur 3, bei dem der als Slave fungierende Funktionsblock zunächst nicht zum Datenempfang bereit ist.

25

Ein in Figur 1 dargestelltes Blockschaltbild zeigt ein sogenanntes eingebettetes System, also ein auf einem integrierten Schaltkreis realisiertes System, das einem Prozessor 1 und einen Speicher 2 aufweist. Der Speicher 1 kann über einen Datenbus 3 auf den Speicher 2 zugreifen und Daten in diesem schreiben oder aus diesem lesen.

30

Es sind ferner in der Darstellung gemäß Figur 1 zwei weitere Funktionsblöcke 4 und 5 vorgesehen, die ebenfalls an den Datenbus 3 angeschlossen sind. Selbstverständlich können weitere Funktionsblöcke vorgesehen sein.

- 5 Der Prozessor 1, der Speicher 2 und die Funktionsblöcke 4 und 5 kommunizieren über den Datenbus 3 bzw. tauschen über diesen Datenbus Daten aus.

Ggf. können einzelne Datenblöcke große Datenmengen schreiben bzw. lesen, was den ersten Datenbus 3 dann relativ stark belasten würde, wenn die Daten in dem Speicher 2
10 zwischengespeichert werden müssten, da dann ein Schreib- und ein Lesevorgang erforderlich wären.

In dem Ausführungsbeispiel gemäß Figur 1 soll beispielsweise davon ausgegangen werden, daß es sich bei dem Funktionsblock 4 um einen JPEG-CODEC handelt, der Bilder codiert
15 und somit relativ große Datenmengen zur Verfügung stellt. Diese Daten sollen an den zweiten Funktionsblock 5 geliefert werden, bei dem es sich beispielsweise um eine Speicherschnittstelle handelt.

Bei System nach dem Stand der Technik würde dieser Datenaustausch über den Datenbus
20 3 in der Weise geschehen, daß die Daten zunächst von dem Funktionsblock 4 in den Speicher 2 geschrieben werden. In einem zweiten Schritt würden dann die Daten aus dem Speicher 2 an den Funktionsblock 5 übertragen. Damit würde der Datenbus 3 mit der gesamten Datenmenge zweifach belastet werden.

- 25 Um diese exzessive Belastung des Datenbusses 3 zu umgehen, ist erfindungsgemäß eine logische Direktverbindung 6 vorgesehen, die hardwaremäßig über den Datenbus 3 stattfindet. Dieser Direktverbindung 6 verbindet in dem Ausführungsbeispiel gemäß Figur 1 den ersten Funktionsblock 4 und den zweiten Funktionsblock 5 miteinander, wodurch über den Datenbus 3 ein direkter Datenaustausch und zwischen den Funktionsblöcken 4
30 und 5 unter Umgehung des Speichers 2 ermöglicht wird.

Bei dem Datenbus-System 3 handelt es sich vorzugsweise um ein Standard-Datenbus-System, wie es für Onchip-Systeme vorgesehen und auch standardisiert ist. Dies hat den Vorteil, daß die Funktionsblöcke meist ohnehin auf diese Datenbus-Systeme vorbereitet sind und somit durch die Existenz der Direktverbindung kein zusätzlicher Aufwand in den Funktionsblöcken zu treiben ist, da das für die Direktverbindung verwendete Handshaking-Verfahren sich auf das Datenbus-Protokoll stützt.

Erfindungsgemäß fungiert einer der Funktionsblöcke als Master und einer als Slave. In dem Ausführungsbeispiel fungiert der Funktionsblock 4 als Master und der Funktionsblock 5 als Slave.

In dem einfachen Handshaking-Verfahren, das zwischen den beiden an dem Datenaustausch über den zweiten Datenbus beteiligten Funktionsblöcken stattfindet, steuert der als Master fungierende Funktionsblock 4 die Abläufe.

15

In dem als Slave fungierenden Funktionsblock 5 ist ein Puffer vorgesehen, der über einen linearen Adressraum über den Datenbus 3 adressierbar ist. Dieser Puffer ist vorzugsweise als Ping-Pong-Puffer ausgelegt, auf den weiter unten noch einzugehen sein wird.

20 Der als Master fungierende Funktionsblock 4 kann somit über die über den Datenbus 3 stattfindende Direktverbindung 6 unmittelbar über den linearen Adressraum auf den in dem als Slave fungierenden Funktionsblock 5 vorgesehenen Puffer zu greifen. Der Funktionsblock 4 kann auf diese Weise unmittelbar Daten aus diesem Puffer lesen oder in diesen schreiben. Selbstverständlich kann auch der als Slave fungierende Funktionsblock 5
25 unmittelbar Daten aus diesem Puffer lesen oder in diesen schreiben.

Auf diese relativ einfache Weise ist somit ein unmittelbarer Datenaustausch zwischen den Funktionsblöcken 4 und 5 möglich, ohne deren Architektur wesentlich aufwendiger gestalten zu müssen.

30

Es ist zu betonen, daß die in der Figur 1 angedeutete Direktverbindung 6 eine logische Verbindung darstellt, die hardwaremäßig über den Datenbus 3 realisiert ist.

In Figur 2 findet sich eine schematische Darstellung des linearen Adressraumes und des Puffers in dem als Slave fungierenden zweiten Funktionsblock 5 der Darstellung gemäß Figur 1.

5

Wie bereits oben erläutert, kann der in dem als Slave fungierenden Funktionsblock 5 vorgesehene Puffer vorteilhaft als Ping-Pong-Puffer ausgebildet sein. Dieser ist in der Figur 2 schematisch als Ping-Pong-Puffer 11 dargestellt.

- 10 Ein derartiger Ping-Pong-Puffer weist wenigstens zwei Speicherbereiche auf, die wechselweise extern über den linearen Adressraum 10, der in der Figur 2 schematisch dargestellt ist, oder intern von dem Funktionsblock, in dem der Ping-Pong-Puffer 11 vorgesehen ist, adressiert werden können.
- 15 Dies bedeutet für einen realen Ablauf beispielsweise, daß ein erster Speicherbereich des Ping-Pong-Puffers 11 zunächst über den linearen Adressraum 10 durch einen externen Funktionsblock, der als Master fungiert, adressierbar ist. Somit kann dieser Funktionsblock in den ersten Speicherbereich des Ping-Pong-Puffers 11 Daten schreiben oder aus diesem lesen. Gleichzeitig ist der zweite Speicherbereich demjenigen Funktionsblock zugeordnet,
- 20 in dem sich der Ping-Pong-Puffer 11 befindet und kann von diesem adressiert werden, so daß dieser Funktionsblock in diesem zweiten Speicherbereich Daten schreiben kann oder aus diesem lesen kann.

- Sind die Daten in den beiden Speicherbereichen abgearbeitet, so wird die Zuordnung der
- 25 Speicherbereiche ausgetauscht. Nunmehr kann über den externen linearen Adressraum 10 auf den zweiten Speicherbereich und durch den Funktionsblock, in dem sich der Ping-Pong-Puffer 11 befindet, auf den zweiten Speicherbereich zugegriffen werden. Sind diese Speicherbereiche wiederum abgearbeitet, wird die Zuordnung der Speicherbereiche wiederum ausgetauscht.

30

Durch diese relativ einfache Technik ist ein gleichzeitiger Zugriff sowohl des externen, als Master fungierenden Funktionsblocks wie auch desjenigen Funktionsblocks, in dem sich der Ping-Pong-Puffer 11 befindet, auf den Ping-Pong-Puffer 11 möglich.

5 Wie oben bereits erläutert, wird der Datenaustausch des als Master fungierenden Funktionsblocks 4 und des als Slave fungierenden Funktionsblocks 5 gemäß der Darstellung nach Figur 1 mittels der logischen Direktverbindung 6 über ein einfaches Handshaking-Verfahren abgewickelt.

10 In den Figuren 3 und 4 sind hierzu schematische Darstellungen angedeutet, die eine einfache Abwicklung des Datenaustausches über die über den Datenbus 3 stattfindende Direktverbindung mittels eines Handshaking-Verfahrens in dem System gemäß Figur 1 gestatten.

15 Die Darstellung gemäß Figur 3 zeigt schematisch einen Master und einen Slave; hierbei handelt es sich beispielsweise um die Funktionsblöcke 4 bzw. 5 der Darstellung gemäß Figur 1.

Gemäß der Darstellung nach Figur 3 sendet der als Master fungierende Funktionsblock
20 zunächst ein Auswahlsignal 12 an den Slave. Ist der Slave empfangsbereit, d.h. will er dem als Master fungierenden Funktionsblock den Zugriff auf den linearen Adress-Bereich gestatten, sendet der Slave bzw. der als Slave fungierende Funktionsblock eine Bestätigungsrückmeldung 13 an den Master bzw. den als Master fungierenden Funktionsblock. Sobald der Master diese Bestätigungsrückmeldung empfängt, weiß er, daß der Slave
25 empfangs- bzw. sendebereit ist und beginnt damit, Daten zu senden bzw. zu empfangen; es beginnt also der Datenaustausch über die Direktverbindung 6 des Systems gemäß Figur 1.

In Figur 4 findet sich eine ähnliche Darstellung wie in Figur 3, jedoch ist hier der Slave nach einem Auswahlsignal 12 durch den Master zunächst nicht sende- bzw. empfangs-
30 bereit. Er sendet daher an den Master zunächst eine Abbruch-Neuversuch-Rückmeldung 15. Diese signalisiert dem Master, daß der Slave nicht sende- bzw. empfangsbereit ist und daß der Master einen erneuten Sendeversuch unternehmen muß. Der Master sendet daher

später ein erneutes Auswahlsignal 16 an den Slave. Nunmehr ist der Slave sende- bzw. empfangsbereit und sendet eine Bestätigungsrückmeldung 13 an den Master. Nunmehr kann entsprechend dem Ablauf gemäß Figur 3 die Datenübertragung beginnen.

- 5 Derartige Handshaking-Mechanismen sind in Standard-Bus-Systemen, wie beispielsweise dem PI-Bus oder dem AMBA-Bus vorgesehen. Da die meisten Funktionsblöcke ohnehin in der Lage sind, derartige Bus-Protokolle abzuarbeiten, entsteht durch die Direktverbindung und das hierfür verwendete Handshaking-Verfahren kein zusätzlicher Aufwand in den Funktionsblöcken. Gleichzeitig wird jedoch der Vorteil erreicht, daß der Datenbus 3
10 der Darstellung gemäß Figur 1 durch den Datenaustausch nur einfach belastet wird. Dies wiegt besonders schwer, wenn zwischen zwei Funktionsblöcken große Datenmengen ausgetauscht werden müssen, wie dies beispielsweise bei einem JPEG-CODEC der Fall ist.

PATENTANSPRÜCHE

1. Integrierter Schaltkreis mit einem Prozessor (1), einem Datenspeicher (2) und Funktionsblöcken (4,5), wobei zur Kommunikation zwischen dem Prozessor (1), dem Datenspeicher (2) und den Funktionsblöcken (4,5) ein Datenbus (3) vorgesehen ist, wobei für eine Datenübertragung zwischen wenigstens zwei Funktionsblöcken (4,5) eine mittels eines Handshaking-Verfahrens auf dem Datenbus stattfindende logische Direktverbindung vorgesehen ist, wobei jeweils ein Funktionsblock (4) als Master und ein Funktionsblock (5) als Slave fungiert, der einen linearen Adressraum aufweist, auf den der als Master fungierende Funktionsblock (4) mittels des Handshaking-Verfahrens zugreifen kann und der in dem als Slave fungierenden Funktionsblock (5) auf einen Puffer-Speicher abgebildet wird.
- 10
2. Integrierter Schaltkreis nach Anspruch 1,
dadurch gekennzeichnet,
daß es sich bei dem Datenbus (6), auf dem das Handshaking-Verfahren stattfindet, um ein Standard-Bussystem handelt, das für On-Chip-Bussysteme standardisiert ist.
- 15
3. Integrierter Schaltkreis nach Anspruch 1,
dadurch gekennzeichnet,
daß es sich bei dem Puffer-Speicher um einen Ping-Pong-Puffer (11) handelt, auf den der Adressraum zyklisch abgebildet wird.
- 20
4. Integrierter Schaltkreis nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
daß in dem Handshaking-Verfahren der als Slave fungierende Funktionsblock (5) nach jedem gewährten und abgeschlossenen Zugriff des als Master fungierenden Funktions-
- 25
- blocks auf den linearen Adressbereiche an den als Master fungierenden Funktionsblock (4) eine Bestätigungs-Rückmeldung (13) abgibt.

5. Integrierter Schaltkreis nach Anspruch 1 oder 2,

dadurch gekennzeichnet,

- 5 daß in dem Handshaking-Verfahren der als Slave fungierende Funktionsblock (5) nach jedem zurückgewiesenen Zugriff des als Master fungierenden Funktionsblocks (4) auf den linearen Adressbereiche an den als Master fungierenden Funktionsblock (4) eine Abbruch-Neuversuch-Rückmeldung (15) abgibt.

6. Integrierter Schaltkreis nach Anspruch 1,

10 dadurch gekennzeichnet,

- daß es sich bei dem als Master fungierenden Funktionsblock (4) um einen JPEG-CODEC und bei dem als Slave fungierenden Funktionsblock (5) um eine Speicher-Schnittstelle handelt, die auf ein extern vorgesehenes Speichermedium zugreift.

15

1/2

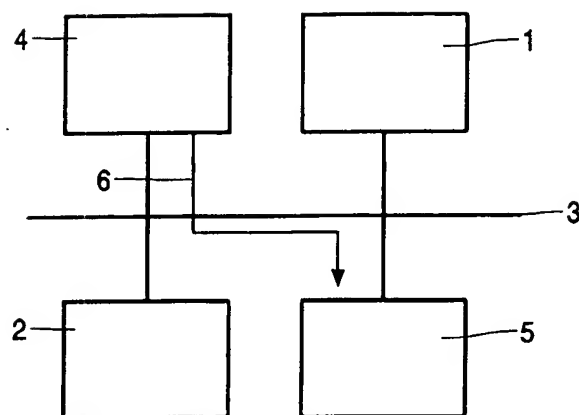


FIG. 1

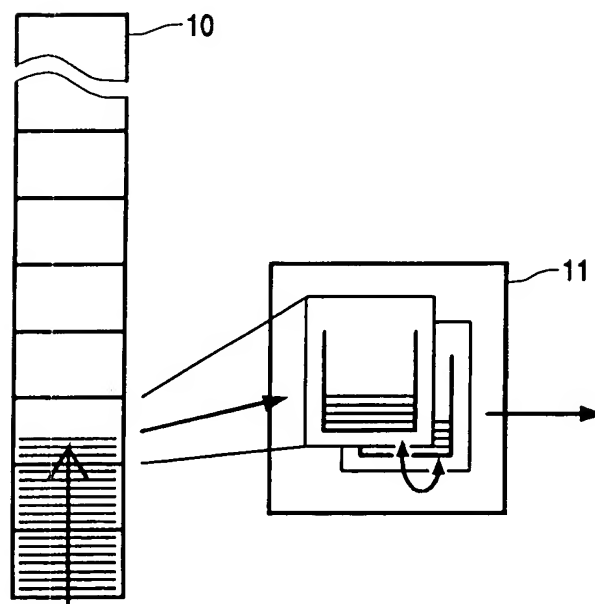


FIG. 2

2/2

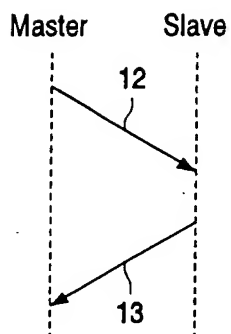


FIG. 3

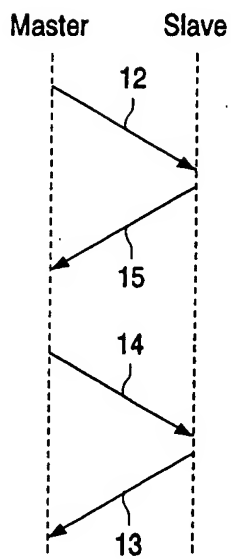


FIG. 4

ZUSAMMENFASSUNG

Integrierter Schaltkreis

Bei einem integrierten Schaltkreis mit einem Prozessor (1), einem Datenspeicher (2) und Funktionsblöcken (4,5) ist zur Kommunikation zwischen diesen ein erster Datenbus
5 vorgesehen. Vor einer Datenübertragung großer Datenmengen ist erfindungsgemäß zusätzlich eine Direktverbindung zwischen wenigstens zwei Funktionsblöcken (4,5) mittels eines zweiten Datenbusses (6) vorgesehen. Dabei fungiert ein Funktionsblock (4) als Master und ein Funktionsblock (5) als Slave. Der Slave weist einen linearen Adressraum auf, auf den der als Master fungierende Funktionsblock (4) mittels eines Handshaking-
10 Verfahrens zugreifen kann. In dem als Slave fungierenden Funktionsblock (5) wird der lineare Adressraum auf einen Puffer-Speicher abgebildet.

Fig. 1

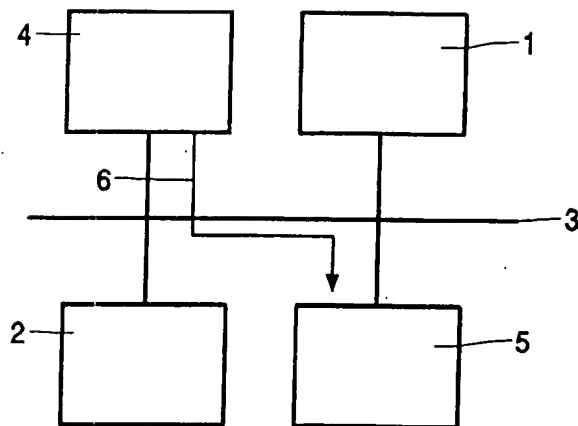


FIG. 1